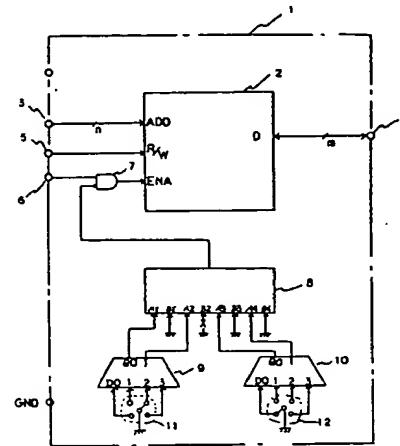


(54) IC MEMORY CARD

(11) 63-108446 (A) (43) 13.5.1988 (19) JP
 (21) Appl. No. 61-254986 (22) 27.10.1986
 (71) NEC CORP (72) TAKASHI TOKURA
 (51) Int. Cl. G06F12/14, G06K19/00

PURPOSE: To prevent the reading and changing of the information in a memory by providing an access discriminating means to send an external interface signal to a memory only when internal data and the data supplied from a data generating means are coincident.

CONSTITUTION: An access discriminating means is composed of an AND circuit 7 and a comparing circuit 8 and encoders 9 and 10 constitute a data generating means. When the owner of an IC memory card 1 grounds either of four inputs of the encoders 9 and 10 by switches 11 and 12, the output corresponding to the grounded input is supplied to a comparing circuit 8. For example, when an input 2 of the encoder 9 is grounded and the encoder 10 grounds an input D0, "0" and "1" appears respectively at outputs A1 and A2 and "0" appears at outputs A3 and A4. Consequently, only when the owner of the card 1 connects the switches 11 and 12 respectively to the input 2 and the input D0, an enable signal is supplied from the AND circuit 7 to a memory 2 and the access to the data stored in the memory 2 can be executed.

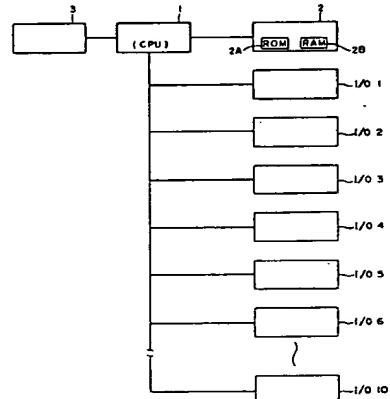


(54) INPUT OUTPUT EQUIPMENT SUPERVISING DEVICE

(11) 63-108447 (A) (43) 13.5.1988 (19) JP
 (21) Appl. No. 61-253703 (22) 27.10.1986
 (71) CANON INC (72) SHINJI TSUCHIDA
 (51) Int. Cl. G06F13/00, G06F11/22

PURPOSE: To decide periodically the presence or absence of the abnormality of input output equipment by providing the means to issue the abnormality testing starting command of input/output equipment periodically from the activating means of an information processing system and execute the abnormality deciding processing of respective parts of the input output equipment in accordance with the command.

CONSTITUTION: A CPU 1 sets the time-up value of respective I/O 1~10 to the area of a RAM 2. At the time of the counting-up of a timer 3, the test counter of a console I/O is stepped and the value and the time-up value are compared. At the time of a counter value \geq set value, a test command is sent to the I/O 1, a test counter is cleared and a next test is awaited. Next, the error presence or absence information from the I/O 1 is decided, and at the time of the error, the input output device abnormality processing is executed. The abnormality processing turns on the abnormal flag of the said I/O provided at the area of a RAM 2B based on the error information. Next, to the displaying area of an indicator I/O 5 provided at the console I/O 1, the effect is displayed and outputted as a message or an alarm sound is issued and an operator recognizes it.



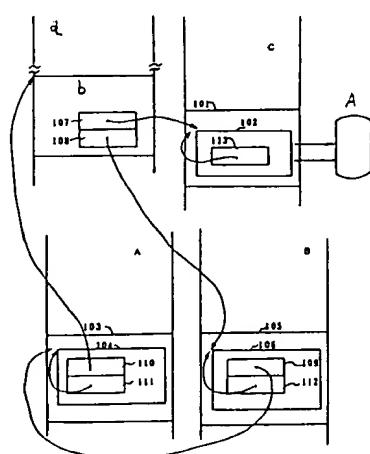
1: computer, 2: memory part, I/O 2: magnetic disk device,
 I/O 3: floppy disk device, I/O 4: magnetic tape device,
 I/O 6, I/O 10: data input/output processor

(54) INPUT/OUTPUT REQUEST CONTROL SYSTEM

(11) 63-108448 (A) (43) 13.5.1988 (19) JP
 (21) Appl. No. 61-254150 (22) 25.10.1986
 (71) NEC CORP (72) TOMOUE ARAKI
 (51) Int. Cl. G06F13/10

PURPOSE: To improve a processing speed and to decrease the burden of a software by registering the input/output request received from a different user space to a cue with the address on a memory.

CONSTITUTION: An input/output request initiation processing converts a segment address to an address on a memory. The address on the memory is stored into the area in its own block. An input/output request block 104 defined by a user space A is registered immediately after an input/output request block 106 defined by a user space B. An address 111 of the block 104 itself is stored into a pointer 109 and into a pointer 110, an address on the memory of peripheral equipment A is stored. After the execution of an input output request block 102 is completed, the block 106 is executed, and then, the address 111 on the memory of the block 104 itself is stored into a pointer 108. An address 113 of the block 102 itself is stored into an address 107 on the memory of the input/output request which is executed by the peripheral equipment A.



a: peripheral equipment control table, b: control table of peripheral equipment A, c: user space

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

昭63-108448

⑬Int.Cl.

G 06 F 13/10

識別記号

330

厅内整理番号

A-7737-5B

⑭公開 昭和63年(1988)5月13日

審査請求 未請求 発明の数 1 (全5頁)

⑮発明の名称 入出力要求制御方式

⑯特 願 昭61-254150

⑰出 願 昭61(1986)10月25日

⑱発明者 荒木 朝栄 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳代理人 弁理士 横井 俊彦

明細書

1. 発明の名称

入出力要求制御方式

2. 特許請求の範囲

各ユーザー空間から受け付けた入出力要求のセグメントアドレスをメモリ上のアドレスに変換しつつこのメモリ上のアドレスに基づく両方向のポインタで各入出力要求ブロックを連結することにより入出力要求のキューを作成し、実行することと、

前記各入出力要求ブロック上の相対ポインタ位置と各周辺装置に対応して存在する周辺装置管理テーブル上の相対ポインタ位置とを同一値に設定することとを特徴とする入出力要求制御方式。

3. 発明の詳細な説明

産業上の利用分野

本発明は、情報処理システムに利用される入出力要求制御方式に関するものである。

従来の技術

従来、異なるユーザー空間から発せられた各種の周辺装置に対する入出力要求をメモリ上のアドレスを用いたキューに登録するのではなく、他のユーザー空間を間接的にアクセスする方法を用いて入出力要求キューに登録していた。

また、入出力要求キューの管理においては、ある入出力要求ブロックからその要求の次に実行されるべき入出力要求ブロックをアクセスすることのみ可能な一方向のポインタと、FIFO方式の入出力要求の登録を速やかにするための手段として存在するキューの最後尾の入出力要求を指すポインタによって入出力要求相互を連結していた。

発明が解決しようとする問題点

上述した従来技術によれば、各ユーザー空間で定義される入出力要求はそのユーザー空間からのみアクセス可能なセグメント内に作成される。

従って、その入出力要求をユーザー空間内のセグメントアドレスを使用してキューに登録すると、入出力管理プログラムが入出力要求をキューから外して実行しようとする際、通常はアクセス不可

能な他空間をアクセスするための特別な方法を用いてそのユーザー空間をアクセスしなければならず、処理スピードが大幅に低下するという欠点がある。

また、従来の入出力要求管理は、各入出力要求ブロックが次に実行されるべき後続の入出力要求のアドレスを保持するという一方方向のポインタと、キューの最後の入出力要求ブロックを指すポインタだけで行っている。このため、キューの途中に新たな入出力要求を登録しようとする場合、アドレスが判明している入出力要求の直後に追加するのは容易であるが、直前に追加しようとする場合にはキューを先頭からたぐって直前の入出力要求を見つけ出すという複雑で時間のかかる処理が必要になる。

更に、キューを先頭からたぐって登録位置を探し、登録する場合でも、登録位置の直前の入出力要求を指すポインタを常に一つ持つていなければならない。入出力要求のキャンセルに応じて登録から外す場合も同様である。また、キューの最後

に登録する場合はキューの最後の入出力要求ブロックを指すポインタを更新するという操作が加わるので、キューの途中に登録する場合とキューの最後に登録する場合とで処理が異なり、2種類のソフトウェアを準備しなければならないという欠点もある。

問題点を解決するための手段

本発明の入出力要求制御方式は、各ユーザー空間から受け付けた入出力要求のセグメントアドレスをメモリ上のアドレスに変換しつつこのメモリ上のアドレスに基づく両方向のポインタで各入出力要求ブロックを連結することにより入出力要求のキューを作成し、実行することと、各入出力要求ブロック上の相対ポインタ位置と各周辺装置管理テーブル上の相対ポインタ位置とを同一値に設定することにより、処理速度を向上すると共に、ソフトウェアの負担を軽減するように構成されている。

以下、本発明の作用を実施例と共に詳細に説明する。

実施例

第1図は、本発明に係わる入出力要求ブロックのセグメントアドレスをメモリ上のアドレスに変換するアドレス変換手段と、メモリ上のアドレスを使ってキューに登録し実行する入出力要求登録手段の構成図である。

この図は、ユーザー空間Cから発せられた周辺装置Aへの入出力要求が実行中であり、ユーザー空間Aとユーザー空間Bからの入出力要求が実行待ちのためキューにつながれている状態を示している。

101はユーザー空間Cからのみアクセス可能なセグメント、102はユーザー空間Cで定義された入出力要求ブロック、103はユーザー空間Aからのみアクセス可能なセグメント、104はユーザー空間Aで定義された入出力要求ブロック、105はユーザー空間Bからのみアクセス可能なセグメント、106はユーザー空間Bで定義された入出力要求ブロックである。また、107は現在周辺装置Aで実行中の入出力要求のメモリ上の

アドレス、108はキューの先頭の入出力要求のメモリ上のアドレスを指すポインタ、109はキュー内の後続の入出力要求のメモリ上のアドレスを指すポインタ、110は周辺装置Aのテーブルのメモリ上のアドレスを指すポインタである。さらに、111はユーザー空間Aで定義された入出力要求自身のメモリ上のアドレス、112はユーザー空間Bで定義された入出力要求自身のメモリ上のアドレス、113はユーザー空間Cで定義された入出力要求自身のメモリ上のアドレスである。

入出力管理では、任意のユーザー空間から発せられた入出力要求を受け付けるたびに、そのユーザー空間の延長で分配型の入出力要求イニシエーション処理が動き、そのユーザー空間からのみアクセス可能なセグメント内に入出力要求を定義するブロックが作成される。この入出力要求ブロックは、そのユーザー空間内では、このユーザー空間で使用可能なセグメントに割り当てられたセグメント番号とこのセグメント内の相対位置などによってアクセス可能である。ところが、入出力要

求キューは多空間に渡っているため、キューに登録されるとこのブロックはポインタ109などで示すように他空間からリンクされる。そこで、上述の入出力要求イニシエーション処理は、セグメントアドレスをメモリ上のアドレスに変換する。そして、このメモリ上のアドレスを自分自身のブロック中のエリアに格納する。ユーザー空間A～Cで定義された入出力要求自身のメモリ上のアドレス111～113はこれを表わす。これらのメモリ上のアドレスは、そのブロックがメモリから消去されない限りは唯一である。

入出力要求のキューへの登録や、入出力要求の実行の際にこのエリアが参照される。例えば、ユーザー空間Aで定義された入出力要求ブロック104がユーザー空間Bで定義された入出力要求ブロック106の直後に登録される際、入出力要求ブロック104自身のアドレス111がポインタ109に格納され、ポインタ110には周辺装置Aのメモリ上のアドレスが格納される。入出力要求ブロック102の実行の終了後に入出力要求ブ

ロック106が実行される時には、入出力要求ブロック104自身のメモリ上のアドレス111がキューの先頭の入出力要求ブロックのメモリ上のアドレスを指すポインタ108に格納され、入出力要求ブロック102自身のアドレス113が周辺装置Aで実行中の入出力要求のメモリ上のアドレス107に格納される。

第2図は、周辺装置Aに対する3個の入出力要求が両方向のリンクによってキューにつながれている状態を表わす。201は周辺装置Aに対する入出力要求、202は両方向へのポインタの相対位置、203は直前の入出力要求を指すポインタ、204は直後の入出力要求を指すポインタ、205はキューの先頭の入出力要求を指すポインタ、206はキューの末尾の入出力要求を指すポインタである。

第3図は、周辺装置Aに対する入出力要求が存在していない状態を示している。

301はキューの先頭の入出力要求を指すポインタ、302はキューの末尾の入出力要求を指す

ポインタ、303は直前の入出力要求を指すポインタ、304は直後の入出力要求を指すポインタである。

第2図の状態で周辺装置Aに対する新たに入出力要求をキューに登録する場合、キュー内の登録位置によらず次の手順をふむ。

(1) 新たな入出力要求のポインタ203、204にそれぞれ、追加しようとする位置の直後のポインタ203と直前のポインタ204を格納する。

(2) 直前のポインタ204と直後のポインタ203に、新たな入出力要求ブロック自身のアドレス(第1図の111乃至113に相当)を格納する。

第3図の状態において、周辺装置Aに対する入出力要求をキューに登録する場合も全く同様に以下の手順をふむ。

(1) 新たな入出力要求のポインタ303、304にポインタ302、301の値を格納する。これは、上述の(1)における追加しようとする

位置の直後のポインタ203と直前のポインタ204に相当する。異なるのは、直前も直後も周辺装置Aのテーブルである点である。

(II) ポインタ301、302に新たな入出力要求自身のアドレスを格納する。ポインタ301、302は上述の(2)における直前のポインタ204と直後のポインタ203に相当する。異なるのは、直前も直後も周辺装置Aのテーブルである点である。

これらの手順で留意すべき点は、周辺装置Aのテーブルと、入出力要求ブロックを同質のものとして扱うことができるという点である。これは、

第2図に示すように、両方向へのポインタへの相対位置202が周辺装置管理テーブルと入出力要求ブロックとで同値であるからである。

発明の効果

以上詳細に説明したように、本発明の入出力要求制御方式は、異なるユーザー空間から受け付けた入出力要求をメモリ上のアドレスを使ってキューに登録する構成であるから、ユーザー空間を意

特開昭63-108448 (4)

磁せずにキューを使用でき、次の入出力要求を実行する際、キューを手操る際、入出力要求をキューから外す際などに、セグメントアドレスに基づき他空間をアクセスするための特別な手段を用いる従来法に比べて、処理速度を大幅に向かうという効果がある。

また、本発明の入出力要求制御方式は両方向のポインタを使用してキューを作成する構成であるから、入出力要求をキューに登録しあるいはそこから外す際に、直前又は直後の入出力要求ブロックのアドレスが判ればよいので、従来必要であった雑難な処理が省略でき、処理速度が一層向上するという効果がある。

さらに、本発明の入出力要求制御方式は、キューを構成するポインタの位置を周辺装置管理テーブル内と入出力要求ブロック内とで等しくする構成であるから、キュー内のどの位置に登録する処理も共通になりソフトウェアの負担が大幅に軽減されるという効果がある。

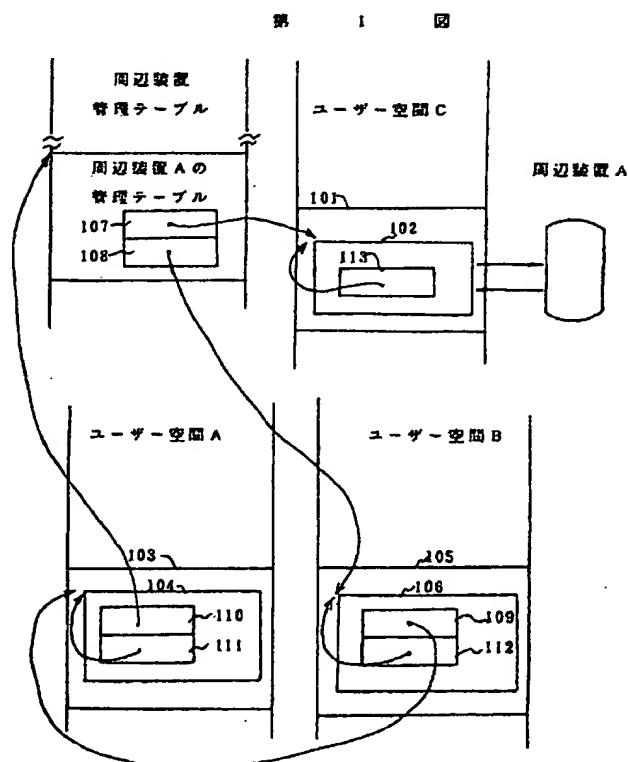
4. 図面の簡単な説明

・両方向へのポインタの相対位置、203, 303... 直前の入出力要求を指すポインタ、204, 304... 直後の入出力要求を指すポインタ、205, 301... キューの先頭の入出力要求を指すポインタ、206, 302... キューの末尾の入出力要求を指すポインタ。

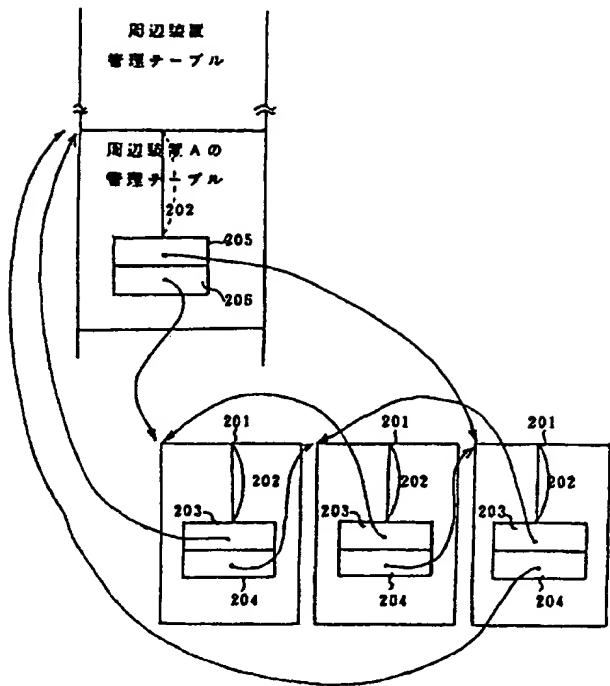
特許出願人 日本電気株式会社
代理人 弁理士 根井俊彦

第1図は本発明の一実施例における入出力要求のセグメントアドレスをメモリ上のアドレスに変換するアドレス変換手段とメモリ上のアドレスを用いてキューに登録し実行する入出力要求登録手段の構成図であり、第2図と第3図は入出力要求キューの管理方法を説明する概念図である。

101, 103, 105... 同順にユーザー空間C, A, Bからのみアクセス可能なセグメント、102, 104, 106... 同順にユーザー空間C, A, Bで定義された入出力要求ブロック、107... 現在周辺装置Aで実行中の入出力要求のメモリ上のアドレス、108... キューの先頭の入出力要求のメモリ上のアドレスを指すポインタ、109... キュー内の末尾の入出力要求のメモリ上のアドレスを指すポインタ、110... 周辺装置Aのテーブルのメモリ上のアドレスを指すポインタ、111, 112, 113... 同順にユーザー空間A, B, Cで定義された入出力要求自身のメモリ上のアドレス、201... 周辺装置Aに対する入出力要求、202...



第 2 図



第 3 図

